

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-231339

(43)公開日 平成9年(1997)9月5日

| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | FI | 技術表示箇所 |
|--------------------------|-------|--------|---------------|---------|
| G 0 6 K 19/07 | | | G 0 6 K 19/00 | J |
| B 4 2 D 15/10 | 5 2 1 | | B 4 2 D 15/10 | 5 2 1 |
| G 1 1 C 5/00 | 3 0 2 | | G 1 1 C 5/00 | 3 0 2 A |

審査請求 未請求 請求項の数5 OL (全6頁)

(21)出願番号 特願平8-39825

(22)出願日 平成8年(1996)2月27日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 水田 正治

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

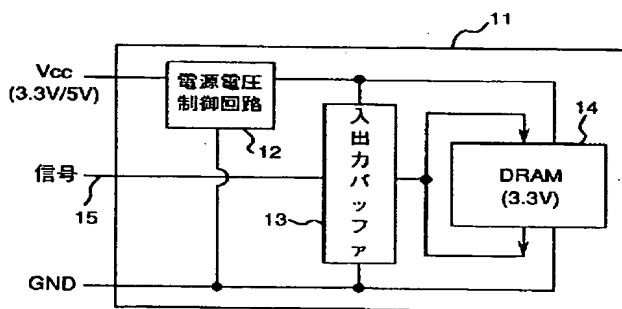
(74)代理人 弁理士 宮田 金雄 (外3名)

(54)【発明の名称】 メモ리카ード

(57)【要約】

【課題】 情報処理機器から供給される電源電圧がメモリ集積回路の動作電圧と異なる場合でも使用できる低消費電力のメモ리카ードを提供する。

【解決手段】 3.3Vで動作するDRAM集積回路14を備え、データアクセス時に動作電圧として3.3または5Vの電圧を供給する情報処理機器に接続するメモ리카ード11において、前記情報処理機器から供給される電圧を基に3.3Vの電圧を出力する電源電圧制御回路12と、前記電源電圧制御回路12から3.3Vが供給され、前記情報処理機器と前記DRAM集積回路14との間に配置され、前記情報処理機器と前記DRAM集積回路14との間で信号の入出力が行えるように前記信号の信号電圧を相互に変換する入出力バッファ13とからなる。



【特許請求の範囲】

【請求項1】 所定の動作電圧で動作するメモリ集積回路を備え、情報処理機器に装着状態で、情報処理機器側から電源電圧が供給されるメモリカードにおいて、前記情報処理機器から供給される電源電圧がメモリ集積回路の動作電圧よりも高い時に前記電源電圧を前記動作電圧に変換する一方、前記電源電圧が前記動作電圧と等しい時は、前記電源電圧を出力する電源電圧制御回路と、前記電源電圧制御回路から駆動電圧が供給され、前記情報処理機器と前記メモリ集積回路との間に配置され、前記情報処理機器と前記メモリ集積回路との間で入出力される信号の信号電圧を変換する入出力バッファとを設けたことを特徴とするメモリカード。

【請求項2】 請求項1に記載のメモリカードにおいて、前記入出力バッファは、所定範囲内の電圧の信号について入出力が可能であることを特徴とするメモリカード。

【請求項3】 請求項1に記載のメモリカードにおいて、前記電源電圧制御回路は、情報機器より出力される電源電圧を検出してメモリ集積回路の動作電圧と比較し、両電圧が等しいかどうかを検出する電圧検出回路と、前記電圧検出回路の検出結果に従い、前記電源電圧が前記動作電圧より高い時は、前記電源電圧を前記動作電圧に変換し出力する一方、前記電源電圧と動作電圧が等しい時は、前記電源電圧を出力する電圧出力回路とからなることを特徴とするメモリカード。

【請求項4】 請求項1または請求項3に記載のメモリカードにおいて、前記電源電圧制御回路は、情報機器からの電源電圧を入力する入力端子と、メモリ集積回路の動作電圧を出力する出力端子と、入力を前記入力端子に接続し、入力された前記電源電圧が前記動作電圧より高い所定電圧と等しいかどうかを検出し制御信号を出力する第1電圧検出回路と、一端を前記入力端子に接続し、制御端子を前記第1電圧検出回路の出力に接続し、前記第1電圧検出回路からの制御信号に基づきオン／オフ動作し、前記電源電圧が前記所定電圧と等しい時にのみオンし導通する第1スイッチと、入力を前記第1スイッチの他端に接続し、出力を前記出力端子に接続し、前記第1スイッチを介して入力される電圧を前記動作電圧に変換し出力するDC-DCコンバータと、入力を前記入力端子に接続し、入力された前記電源電圧が前記動作電圧と等しいかどうかを検出し制御信号を出力する第2電圧検出回路と、一端を前記入力端子に接続し、他端を前記出力端子に接続し、制御端子を前記第2電圧検出回路の出力に接続し、前記第2電圧検出回路からの制御信号に基づきオン／オフ動作し、前記電源電圧が前記動作電圧と等しい時にオンし導通する第2スイッチとからなることを特徴とするメモリカード。

【請求項5】 所定の動作電圧で動作するメモリ集積回

路を備え、情報処理機器に装着状態で、情報処理機器側から電源電圧が供給されるメモリカードにおいて、前記情報処理機器から供給される電源電圧とメモリ集積回路の動作電圧が異なる時に前記電源電圧を前記動作電圧に変換する一方、前記電源電圧が前記動作電圧と等しい時は、前記電源電圧を出力する電源電圧制御回路と、前記電源電圧制御回路から駆動電圧が供給され、前記情報処理機器と前記メモリ集積回路との間に配置され、前記情報処理機器と前記メモリ集積回路との間で入出力される信号の信号電圧を変換する入出力バッファとを設けたことを特徴とするメモリカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PCMCIA仕様に基づくDRAMメモリを使用したPCカード、特に低消費電力であり、また電源電圧に依存せず使用できるメモリカードに関する。

【0002】

【従来の技術】図4は、従来のDRAMメモリカードを示す。図において、従来のDRAMメモリカード（以下、メモリカードと称す。）51では、DRAM集積回路52に対し、接続される情報処理機器（以下、PCと称す。）との間で、電源電圧が供給される電源線Vccと、信号のやりとりを行うためのデータアクセス制御線53と、基準電位が与えられるグランド線GNDとが接続されている。通常、メモリカードは複数のDRAM集積回路52から構成されるが、ここでは、説明の簡単化のために、1個のDRAM集積回路52のみの構成としている。また、データアクセス制御線53は、PCとの間で、アドレス、データおよび読み書きするための制御信号線の集まりであり、その中をPCMCIA仕様に準拠した制御信号がやりとりされる。

【0003】従来、DRAM集積回路52において、電源電圧および信号電圧が5Vで動作するものが主流であったが、近年LSIの高集積化による微細パターン化に伴う絶縁破壊の問題から3.3Vで動作するDRAM集積回路52も使用されており、現状では、動作電圧が5VのDRAM集積回路（以下、5V系DRAMと称す。）および動作電圧が3.3VのDRAM集積回路（以下、3.3V系DRAMと称す。）が共存した状況にある。PCは、接続するメモリカードの動作電圧を判断し、メモリカードに対し、適切な電圧を供給する。すなわち、5Vで動作するメモリカードには、5Vの電圧を、3.3Vで動作するメモリカードには、3.3Vの電圧を供給する。しかし、PCによっては、5Vで動作するメモリカードに対してのみ対応しているものもあり、このようなPCにおいては、3.3Vで動作するメモリカードは使用できない。

【0004】

【発明が解決しようとする課題】図5は、従来のメモリ

カード内の5V系および3.3V系のDRAM集積回路の消費電流を示したものであり、図5より、動作時において、3.3V系DRAMは、5V系DRAMの約半分の消費電流であることがわかる。

【0005】すなわち、メモ리카ードにおいて、5V系DRAMの代わりに3.3V系DRAMを使用すれば、消費電流を大幅に低減することができ、またPC内蔵のバッテリー電池の寿命を延長させることができる。しかし、従来の3.3V系DRAMを備えたメモ리카ードでは、5V系DRAMにのみ対応したPCに対しては、使用することができず、3.3V系DRAMを使用することによる消費電流の低減は不可能であった。

【0006】そこで本発明の目的は、情報処理機器からの供給電源電圧に依存しない低消費電力のDRAMメモ리카ードを提供することである。

【0007】

【課題を解決するための手段】本発明に係る第1メモ리카ードは、所定の動作電圧で動作するメモリ集積回路を備え、情報処理機器に装着状態で、情報処理機器側から電源電圧が供給されるメモ리카ードにおいて、前記情報処理機器から供給される電源電圧がメモリ集積回路の動作電圧よりも高い時に前記電源電圧を前記動作電圧に変換する一方、前記電源電圧が前記動作電圧と等しい時は、前記電源電圧を出力する電源電圧制御回路と、前記電源電圧制御回路から駆動電圧が供給され、前記情報処理機器と前記メモリ集積回路との間に配置され、前記情報処理機器と前記メモリ集積回路との間で入出力される信号の信号電圧を変換する入出力バッファとを設ける。

【0008】前記電源電圧制御回路は、前記情報処理機器から供給される電源電圧に基づき、前記電源電圧が前記メモリ集積回路の動作電圧よりも高い時は、前記情報処理機器より出力される電源電圧をメモリ集積回路の動作電圧に変換し、また前記電源電圧が前記メモリ集積回路の動作電圧と等しい時は、前記情報処理機器からの電源電圧を出力する。前記入出力バッファは、前記情報処理機器からの信号の信号電圧をメモリ集積回路の動作電圧に変換し、前記メモリ集積回路からの信号の信号電圧を情報処理機器で処理できる信号電圧に変換する。すなわち、情報処理機器から供給される電源電圧を前記電源電圧制御回路により変換し、情報処理機器との間でやりとりされる信号の信号電圧を、前記入出力バッファにより電圧変換することにより、情報処理機器からの供給電圧に依存せず、メモリ集積回路を動作させることができる。

【0009】好ましくは、前記第1メモ리카ードにおいて、前記入出力バッファは、所定範囲内の電圧の信号について入出力が可能である（トレランスフリー性能を有する）。

【0010】前記入出力バッファは、情報処理機器からの所定範囲内にある信号電圧を、第1電圧に変換し前記

メモリ集積回路に出力し、前記メモリ集積回路からの信号の電圧を所定範囲内の前記情報処理機器が処理できる電圧に変換し、前記情報処理機器に出力する。これにより、情報処理機器からの信号電圧に依存せず、情報処理機器とメモリ集積回路との間で、信号のやりとりが可能となる。

【0011】好ましくは、前記第1メモ리카ードにおいて、前記電源電圧制御回路は、情報機器より出力される電源電圧とメモリ集積回路の動作電圧とを比較し、両電圧が等しいかどうかを検出する電圧検出回路と、前記電圧検出回路の検出結果に従い、前記電源電圧が前記動作電圧より高い時は、前記電源電圧を前記動作電圧に変換し出力する一方、前記電源電圧と動作電圧が等しい時は、前記電源電圧を出力する電圧出力回路とからなる。

【0012】前記電源電圧制御回路において、電圧検出回路は、情報機器より出力される電源電圧とメモリ集積回路の動作電圧とを比較し、両電圧が等しいかどうかを検出する。また、電圧出力回路は、前記電圧検出回路の検出結果に従い、前記電源電圧が前記動作電圧より高い時は、前記電源電圧を前記動作電圧に変換し出力する一方、前記電源電圧と動作電圧が等しい時は、前記電源電圧を出力する。これにより、前記電源電圧制御回路は、情報機器より出力される電圧にかかわらず、メモリ集積回路の動作電圧に等しい電圧を出力する。

【0013】好ましくは、前記第1メモ리카ードにおいて、前記電源電圧制御回路は、情報機器からの電源電圧を入力する入力端子と、メモリ集積回路の動作電圧を出力する出力端子と、入力を前記入力端子に接続し、入力された前記電源電圧が前記動作電圧より高い所定電圧と等しいかどうかを検出し制御信号を出力する第1電圧検出回路と、一端を前記入力端子に接続し、制御端子を前記第1電圧検出回路の出力に接続し、前記第1電圧検出回路からの制御信号に基づきオン／オフ動作し、前記電源電圧が前記所定電圧と等しい時にのみオンし導通する第1スイッチと、入力を前記第1スイッチの他端に接続し、出力を前記出力端子に接続し、前記第1スイッチを介して入力される電圧を前記動作電圧に変換し出力するDC-DCコンバータと、入力を前記入力端子に接続し、入力された前記電源電圧が前記動作電圧と等しいかどうかを検出し制御信号を出力する第2電圧検出回路と、一端を前記入力端子に接続し、他端を前記出力端子に接続し、制御端子を前記第2電圧検出回路の出力に接続し、前記第2電圧検出回路からの制御信号に基づきオン／オフ動作し、前記電源電圧が前記動作電圧と等しい時にオンし導通する第2スイッチとからなる。

【0014】上記電源電圧制御回路において、上記第1電圧検出回路は、入力された電源電圧が上記動作電圧より高い所定電圧と等しいかどうかを検出し制御信号を出力する。上記第1スイッチは、第1電圧検出回路からの制御信号に基づき、上記両電圧が等しい時にオンし導通

することにより、前記DC-DCコンバータに入力電圧を出力する。DC-DCコンバータでは、上記電源電圧を上記動作電圧に変換し出力する。また、上記第2電圧検出回路は、上記電源電圧が上記動作電圧と等しいかどうかを検出し制御信号を出力する。上記第2スイッチは、第2電圧検出回路からの制御信号に基づき、上記両電圧が等しい時にオンし導通することにより、入力された電源電圧をそのまま出力する。

【0015】本発明に係る第2メモリカードは、所定の動作電圧で動作するメモリ集積回路を備え、情報処理機器に装着状態で、情報処理機器側から電源電圧が供給されるメモリカードにおいて、前記情報処理機器から供給される電源電圧とメモリ集積回路の動作電圧が異なる時に前記電源電圧を前記動作電圧に変換する一方、前記電源電圧が前記動作電圧と等しい時は、前記電源電圧を出力する電源電圧制御回路と、前記電源電圧制御回路から駆動電圧が供給され、前記情報処理機器と前記メモリ集積回路との間に配置され、前記情報処理機器と前記メモリ集積回路との間で入出力される信号の信号電圧を変換する入出力バッファとを設ける。

【0016】上記第2メモリカードにおいて、上記電源電圧制御回路により、情報処理機器から供給される電源電圧にかかわらず、上記メモリ集積回路の動作電圧に等しい電圧を出力し、上記入出力バッファにより、上記情報処理機器と上記メモリ集積回路との間で入出力される信号の信号電圧を変換する。これにより上記第2メモリカードは、情報処理機器からの供給電圧とメモリカードの動作電圧が異なる場合においても、動作可能となる。

【0017】

【発明の実施の形態】以下に添付の図面を用いて、本発明の実施の形態について詳細な説明を行う。

【0018】図1は、本発明の実施の形態のメモリカードを示す。本実施形態のメモリカード11は、入力を電源線Vccに接続した電源電圧制御回路12と、電源電圧制御回路12の出力に接続し、PCとの間のデータおよび各種制御信号の電圧を変換するため、データアクセス制御線15に接続した入出力バッファ13と、入出力バッファ13を介して、PCからのデータおよび各種制御信号のやりとりを行うために入出力バッファ13に接続し、電源電圧制御回路12の出力に接続し、3.3Vで動作するDRAM集積回路14とからなる。また、電源電圧制御回路12、入出力バッファ13、DRAM集積回路14は、基準電位を与えるグランド線GNDに接続されている。

【0019】電源線Vccには、PCからの電源電圧3.3Vまたは5Vの直流電圧が供給される。電源電圧制御回路12（詳細な説明については後述する。）は、電源線Vccを介して供給された電圧を所定の電圧（3.3V）に変換して、入出力バッファ13とDRAM集積回路14に供給する。入出力バッファ13は、PCとDR

AM集積回路14との間に介在し、PCとDRAM集積回路14との間でやりとりされる信号の電圧を相互に変換する。すなわち、PC側からの信号の電圧は、3.3Vまたは5Vであり、DRAM集積回路14で処理できる信号の電圧は、3.3Vである。このため、入出力バッファ13により、PCとDRAM集積回路14との間で信号のやりとりを行う時に、信号電圧をそれぞれにおいて処理できる電圧に変換している。またこの入出力バッファ13は、入出力電圧が所定範囲内で制限されない「トランスフリー」性能を有しており、PCに対して入出力される信号電圧が、3Vから5.5Vまでの所定範囲内の電圧であれば変換可能である。従って入出力バッファ13は、PCからDRAM集積回路14へ信号が流れる場合は、この信号電圧（3.3Vまたは5V）をDRAM集積回路14で処理できる電圧（3.3V）に変換し、またDRAM集積回路14からPCへ信号が流れる場合は、信号電圧（3.3V）をPCで処理できる電圧（3.3Vまたは5V）に変換する。このような機能を有する入出力バッファ13は、ICとして市販されており、例えば、ナショナルセミコンダクタ社、テキサス・インスツルメント社の74LVC245等がある。

【0020】以下に図2を用いて電源電圧制御回路12の詳細な説明を行う。電源電圧制御回路12は、入力を入力端子28に接続した第1ウインドコンパレータ21と、一端を入力端子28に接続し、第1ウインドコンパレータ21からの制御信号により開閉を行う第1スイッチ22と、入力を該第1スイッチ22の他端に接続し、出力を出力端子29に接続したDC-DCコンバータ23と、入力を入力端子28に接続した第2ウインドコンパレータ24と、一端を入力端子28に接続し、他端を出力端子29に接続し、第2ウインドコンパレータ24からの制御信号により開閉を行う第2スイッチ25とからなる。第1および第2ウインドコンパレータ21、24は所定範囲内の電圧が入力された時にのみ「High」レベルの信号（以下、「H」と称す。）を制御信号として出力するものである。本実施形態では、第1ウインドコンパレータ21は、5V±10%（4.5～5.5V）の入力電圧に対して「H」を出力し、第2ウインドコンパレータ24は、3.3V±10%（3.0～3.6V）の入力電圧に対して「H」を出力する。図3（a）に第1ウインドコンパレータ21の回路図を示す。図3（a）において、第1ウインドコンパレータ21は、正端子に5.5Vの基準電圧を印加し、負端子を入力33に接続した第1コンパレータ31と、負端子に4.5Vの基準電圧を印加し、正端子を第1コンパレータ31の負端子と結合し、出力を第1コンパレータ31の出力34と結合した第2コンパレータ32とからなる。このように構成された第1ウインドコンパレータ21の出力Voutは、図3（b）に示すように、入力Vinが5V±10%（4.5～5.5V）の時のみ「H」と

なる。同様にして、第1コンパレータ31の正端子に3.6Vを第2コンパレータ32の負端子に3.0Vの基準電圧を印加することにより、 $3.3V \pm 10\%$

(3.0~3.6V)の入力電圧対し、「H」を出力する第2ウインドコンパレータ24も構成できる。ここで上記ウインドコンパレータ21、24は、PCからの電圧の変動を考慮して、10%のマージンを持たせてある。また、第1および第2スイッチ22、25は、例えば、損失の少ない電界効果トランジスタスイッチ等により構成され、制御信号が「H」の時にオンし、「L」の時にオフする。DC-DCコンバータ23は、4.5~5.5Vの入力電圧に対し、3.3Vの電圧を出力する。

【0021】次に電源電圧制御回路12の動作について説明する。図2において、入力端子28には、PCからの3.3Vまたは5Vの電圧(10%以内の変動を有する)が供給される。今、入力端子28に5Vの電圧が供給された時、第2ウインドコンパレータ24の出力は「L」になり、第2スイッチ25は「オフ」になるため、経路27は確立されない。またこの時、第1ウインドコンパレータ21の出力は「H」になり、第1スイッチ22が「オン」し、経路26によりDC-DCコンバータ23に入力電圧が供給される。これにより、DC-DCコンバータ23は、PCからの供給電圧を3.3Vに変換し出力する。この時のDC-DCコンバータ23は、その変換損失が5V系DRAM集積回路の消費電力よりも小さくなるような高効率のものを使用する。次に、入力端子28に3.3Vの電圧が供給された場合を考える。3.3Vの電圧が入力されると、第1ウインドコンパレータ21の出力は「L」になり、第1スイッチ22は「オフ」になるため、経路26は確立されない。またこの時、第2ウインドコンパレータ24の出力は「H」になり、第2スイッチ25が「オン」し、経路27を介して入力電圧がそのまま出力される。すなわち、本実施形態の電源電圧制御回路12は、入力電圧が5Vの時は、高効率のDC-DCコンバータ23を介して電圧を3.3Vの電圧に変換し、また、入力電圧が3.3Vの時は、そのまま出力するため、入力電圧によらず効率よく所定の電圧を供給する。

【0022】本実施形態のメモ리카ード11において、PCからの供給電源電圧が5Vの時は、電源電圧制御回路12により3.3Vに電圧変換され、入出力バッファ13および3.3V系DRAM集積回路14に駆動電圧が供給される。またPCからの供給電圧が3.3Vの時は、電源電圧制御回路12においては、電圧変換されず、そのまま入出力バッファ13および3.3V系DRAM集積回路14に駆動電圧として供給される。また、入出力バッファ13により、PCまたはDRAM集積回路14からの信号の信号電圧を相互に変換し、DRAM集積回路14またはPCに出力することにより、信号電

圧が異なる場合においても、DRAM集積回路14とPC間で信号のやりとりを可能とする。このようにして、本実施形態のメモ리카ードにおいては、メモ리카ード内部で電源電圧および信号電圧を必要に応じて変換するため、供給される電源電圧、信号電圧にかかわらず動作する。

【0023】すなわち、本実施形態のメモ리카ードは、PCからの供給電源電圧が、5Vでも3.3Vでも、動作可能であり、またDRAM集積回路に低電圧で動作するDRAM集積回路14を使用しているため、消費電力を低減でき、PC内のバッテリーの寿命を延長させることができる。

【0024】尚、本実施形態の電源制御回路において、第1および第2ウインドコンパレータに印加する基準電圧およびDC-DCコンバータの変換電圧の設定を変更することにより、または、追加のDC-DCコンバータを適宜設けることにより、情報処理機器からの電源電圧とメモ리카ードの動作電圧が、前述した電圧以外の所定の電圧の場合においても動作するメモ리카ードが構成できることは明らかである。

【0025】また、本実施形態のメモ리카ードにおいては、メモリとして、DRAMを用いて説明したが、DRAMの代わりにフラッシュメモリ等を用いたメモ리카ードでも同様の効果が期待できる。

【0026】

【発明の効果】本発明の第1メモ리카ードによれば、情報処理機器からの供給電圧が、メモリ集積回路の動作電圧より高い電圧であっても、電源電圧制御回路および入出力バッファにより、適切な電圧に変換される。これにより、メモ리카ードにおいて、情報処理機器の供給電圧にかかわらず、低電圧で動作するメモリ集積回路が使用できるため、低消費電流のメモ리카ードが実現できる。また、情報処理機器のメモ리카ードに対する供給電圧に影響されず使用できるメモ리카ードが実現できる。

【0027】好ましい構成の本発明の第1メモ리카ードによれば、前記入出力バッファは、所定電圧範囲内にある信号に対し入出力を行うため、メモリ集積回路の動作電圧と等しくない電圧を供給する情報処理機器に対しても対応でき、情報処理機器とメモリ集積回路との間での信号のやりとりを可能とする。

【0028】好ましい構成の本発明の第1メモ리카ードによれば、電源電圧制御回路は、情報機器からの入力電圧がメモリ集積回路の動作電圧より高い時は、前記動作電圧に変換し、また前記入力電圧が前記動作電圧と等しい時は、電圧変換せずにそのまま出力することにより100%の効率で変換するため、効率的な電圧変換が可能となる。

【0029】好ましい構成の本発明の第1メモ리카ードによれば、電源電圧制御回路は、情報機器からの電源電圧がメモリ集積回路の動作電圧より高い時は、前記動作

電圧に変換し、また前記電源電圧が前記動作電圧と等しい時は、そのまま出力する。これにより、効率的な電圧変換が可能となる。

【0030】本発明の第2メモリカードによれば、情報処理機器からの供給電圧が、メモリ集積回路の動作電圧と等しくない電圧であっても、電源電圧制御回路により電源電圧が、また入出力バッファにより信号電圧が適切な電圧に変換される。これにより、情報処理機器からの供給電圧にかかわらず動作するメモリカードが実現できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態のメモリカードの構成図。

【図2】 電源制御回路のブロック構成図。

【図3】 (a) 第1ウインドコンパレータの回路図、および (b) 第1ウインドコンパレータの入出力の関係を表す図。

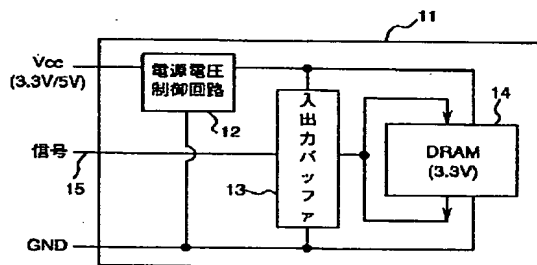
【図4】 従来のメモリカードの構成図。

【図5】 DRAMメモリ集積回路の消費電流を表す図。

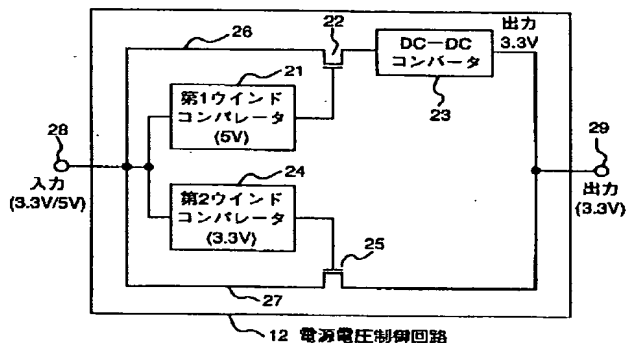
【符号の説明】

- 05 11…本発明の実施形態のメモリカード、12…電源電圧制御回路、13…入出力バッファ、14、52…DRAM集積回路、15、53…データアクセス制御線、21…第1ウインドコンパレータ、22…第1スイッチ、23…DC-DCコンバータ、24…第2ウインドコンパレータ、25…第2スイッチ、26、27…経路、28…電源電圧制御回路の入力端子、29…電源電圧制御回路の出力端子、31…第1コンパレータ、32…第2コンパレータ、33…第1ウインドコンパレータの入力端子、34…第1ウインドコンパレータの出力端子、51…従来のメモリカード、Vcc…電源線、Vin…第1ウインドコンパレータの入力、Vout…第1ウインドコンパレータの出力、GND…グラウンド線。

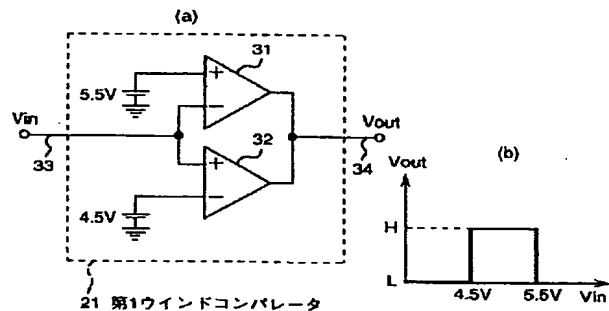
【図1】



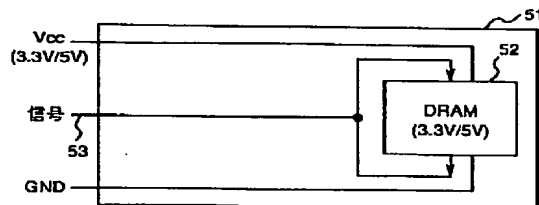
【図2】



【図3】



【図4】



【図5】

| 使用直流電圧 | | 5V±10% | 3.3V±10% |
|--------|-----|--------|----------|
| 消費電流 | 待機時 | 5.5mW | 1.8mW |
| | 動作時 | 550mW | 288mW |